

半導体パッケージ基板配線狭ピッチ化等の研究開発

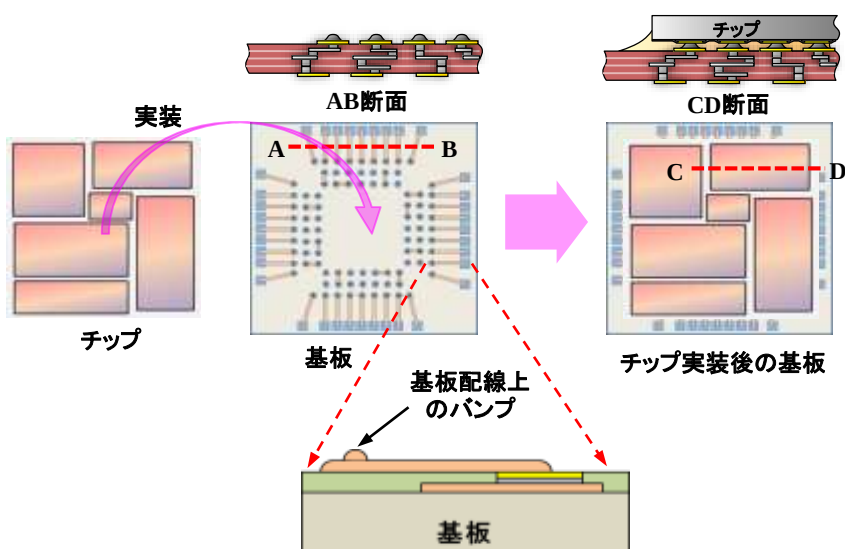
研究概要

半導体加工技術の微細化に対応し、チップ実装面積の縮小を可能とする半導体パッケージ基板配線狭ピッチ化等の技術を開発します。

研究項目

- ・ 微細加工基礎プロセス構築、条件最適化、工程削減プロセス開発
- ・ 半導体パッケージ基板の配線形成プロセスへの応用
- ・ 電気特性等評価による条件フィードバック、パッケージ評価解析

基板への半導体チップ実装



想定プロセスフロー

