

令和2年度 共同研究

研究参画機関:新潟県工業技術総合研究所、コネクテックジャパン(株)

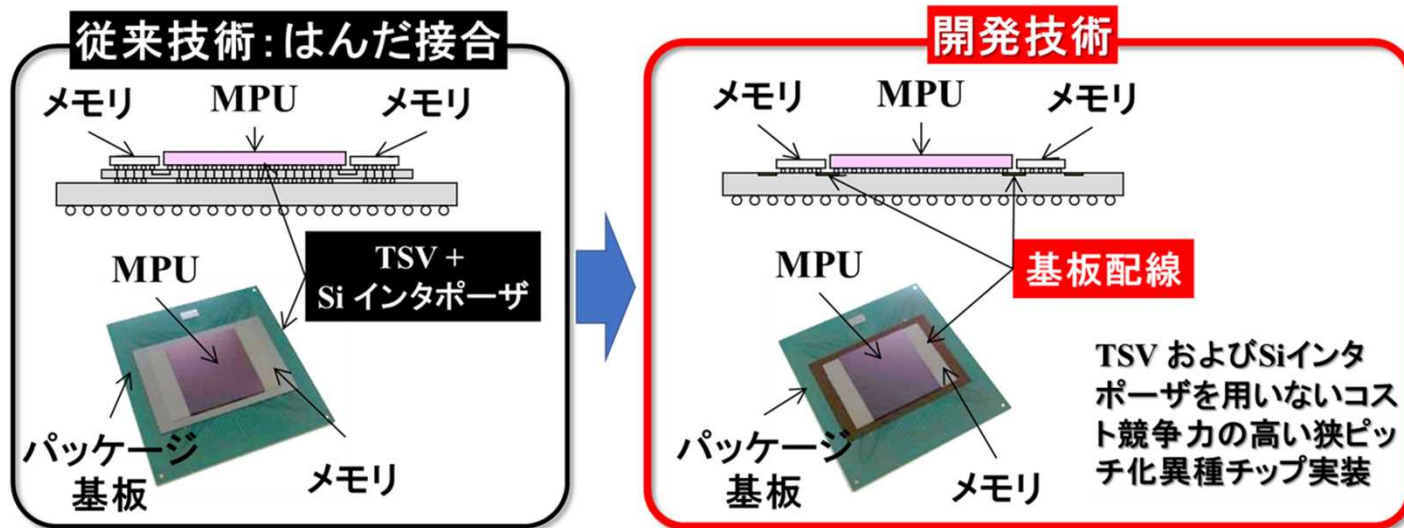
高速・高性能SiP (システム・イン・パッケージ) 基板配線に関する研究開発

研究概要

複数の半導体チップを一つのパッケージに実装し、一つのシステムを実現するSiP (システム・イン・パッケージ) の高速・高性能化を実現する高集積実装基板配線形成に関する技術を開発します。

研究項目

- ・ 配線形成プロセスの確立
- ・ 形成された配線等の電気特性評価
- ・ 配線形成装置に関する要素技術抽出



TSV (Through-Silicon Via) : シリコン貫通電極

Siインターポーザ: チップとパッケージ基板をつなぐシリコン製の中間基板

